

DERWENT-ACC-NO: 2002-494113

DERWENT-WEEK: 200253

COPYRIGHT 1999 DERWENT INFORMATION LTD

**TITLE: Phase comparator for data retiming, has second
retiming circuit that performs retiming of output signal of
first retiming circuit with out-of-phase clock of
voltage-controlled oscillator**

PATENT-ASSIGNEE: FUJITSU DENSO LTD[FUTD]

PRIORITY-DATA: 2000JP-0296409 (September 28, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 2002111458 A	April 12, 2002	N/A	010
H03K 005/26			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2002111458A	N/A	2000JP-0296409
September 28, 2000		

**INT-CL (IPC): H03K005/26, H03L007/08 , H03L007/089 ,
H04L007/033**

ABSTRACTED-PUB-NO: JP2002111458A

BASIC-ABSTRACT:

NOVELTY - The retiming of input signal is performed with the in-phase clock of a voltage-controlled oscillator (6-5) by a first retiming circuit (1-11). The delay phase from the input signal of the in-phase clock is detected by an in-phase clock delay phase detector (1-12).

DETAILED DESCRIPTION - The retiming of the output signal of the first retiming circuit is performed with the out-of-phase clock of the voltage-controlled oscillator by a second retiming circuit (1-13). The phase difference of the in-phase clock and out-of-phase clock is detected by an out-of-phase clock phase difference detector (1-14). The delay phase from the input signal and the phase difference from the in-phase clock of the out-of-phase clock are given to the charging-and-discharging control electrode of a charge pump (6-3). Each of the functional components is comprised of digital general-purpose circuit elements.

USE - For generating timing signal which has a rising edge in the timing position of $1/2$ of 1 bit length of an input signal.

ADVANTAGE - Phase relationship of input signal and output clock signal is maintained in optimal state. Simplifies integration since

**capacitor is not
used.**

**DESCRIPTION OF DRAWING(S) - The figure is a block diagram
showing the phase
comparator for data retiming.**

First retiming circuit 1-11

In-phase clock delay phase detector 1-12

Second retiming circuit 1-13

Out-of-phase clock phase difference detector 1-14

Charge pump 6-3

Voltage-controlled oscillator 6-5

CHOSEN-DRAWING: Dwg.1/7

**TITLE-TERMS: PHASE COMPARATOR DATA RETIMING SECOND
RETIMING CIRCUIT PERFORMANCE**

**RETIMING OUTPUT SIGNAL FIRST RETIMING CIRCUIT
PHASE CLOCK VOLTAGE
CONTROL OSCILLATOR**

DERWENT-CLASS: U22 W01

EPI-CODES: U22-A04A9; U22-D02C; U22-D07; W01-A04;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2002-390751

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-111458

(P2002-111458A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 3 K 5/26

H 0 3 K 5/26

P 5 J 0 3 9

H 0 3 L 7/089

H 0 3 L 7/08

D 5 J 1 0 6

7/08

M 5 K 0 4 7

H 0 4 L 7/033

H 0 4 L 7/02

B

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号

特願2000-296409(P2000-296409)

(71)出願人 000237662

富士通電装株式会社

神奈川県川崎市高津区坂戸1丁目17番3号

(22)出願日

平成12年9月28日(2000.9.28)

(72)発明者 広瀬 猛

神奈川県川崎市高津区坂戸1丁目17番3号

富士通電装株式会社内

(74)代理人 100105337

弁理士 眞鍋 潔 (外3名)

最終頁に続く

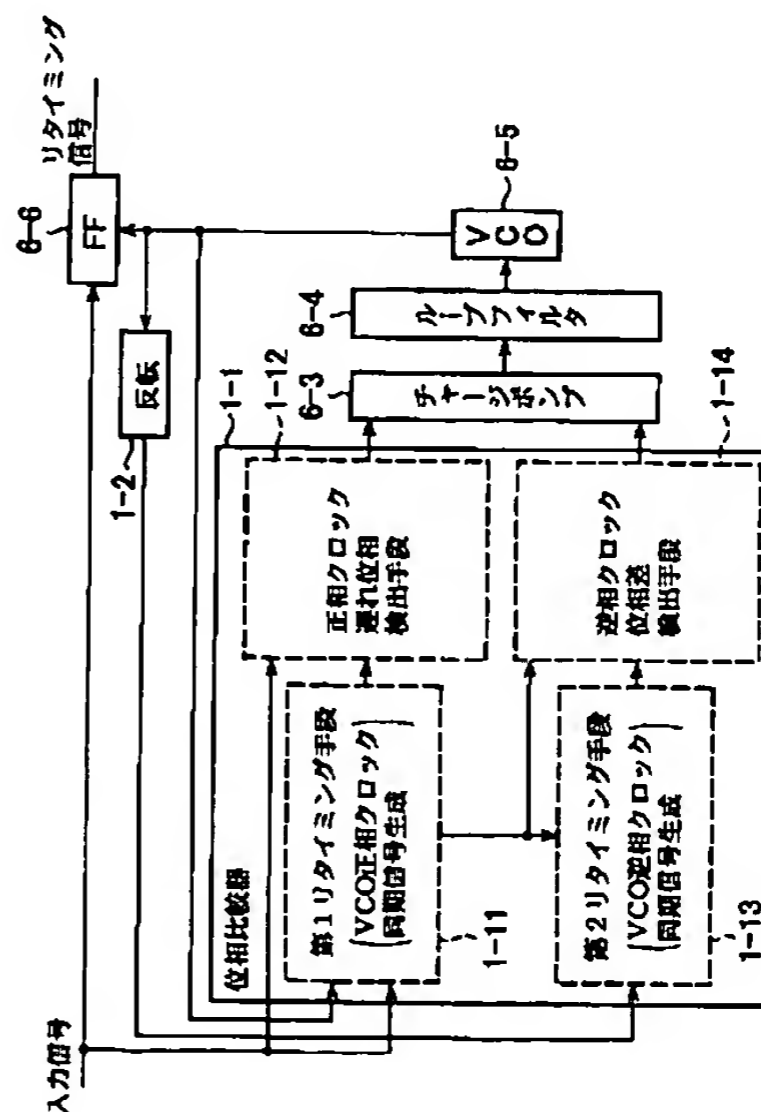
(54)【発明の名称】 データリタイミング用位相比較器

(57)【要約】

【課題】 PLL型データリタイミング用位相比較器に関し、回路規模の小型化、LSI化を容易にし、低速及び高速の何れの入力信号に対しても、最適な位相関係のリタイミング用クロック信号の生成を可能にする。

【解決手段】 第1リタイミング手段1-11で入力信号を電圧制御発振器6-5の正相クロックでリタイミングし、正相クロック遅れ位相検出手段1-12で正相クロックの入力信号からの遅れ位相を検出する。第2リタイミング手段1-13で第1リタイミング手段1-11の出力信号を電圧制御発振器の逆相クロックでリタイミングし、逆相クロック位相差検出手段1-14により正相クロックと逆相クロックとの位相差を検出する。入力信号からの遅れ位相と、逆相クロックの正相クロックからの位相差とを、チャージポンプ6-3の充放電制御電極に与える。上記の各機能手段はデジタル汎用回路素子を用いて構成される。

本発明のデータリタイミング用位相比較器の原理図



【特許請求の範囲】

【請求項1】 入力信号を電圧制御発振器の正相出力クロック信号でリタイミングし、該正相出力クロック信号に同期した入力信号を生成出力する第1のリタイミング手段と、

前記第1のリタイミング手段の出力信号と前記入力信号とを入力し、該第1のリタイミング手段の出力信号の、入力信号の先端からの遅れ位相を検出する正相クロック遅れ位相検出手段と、

前記第1のリタイミング手段の出力信号を、電圧制御発振器の逆相出力クロック信号でリタイミングし、該逆相出力クロック信号に同期した入力信号を生成出力する第2のリタイミング手段と、

前記第1のリタイミング手段の出力信号と前記第2のリタイミング手段の出力信号とを入力し、該第2のリタイミング手段の出力信号の、第1のリタイミング手段の出力信号の先端からの遅れ位相を検出する逆相クロック位相差検出手段とを備え、

前記同期信号遅れ位相差検出手段により検出した遅れ位相量に応じた信号を、電圧制御発振器の位相を早める制御信号として出力し、且つ、前記逆相クロック信号位相差検出手段により検出した位相差に応じた信号を、電圧制御発振器の位相を遅らせる制御信号として出力することを特徴とするデータリタイミング用位相比較器。

【請求項2】 前記第1のリタイミング手段は第1のフリップフロップ回路により構成され、該第1のフリップフロップ回路のデータ入力端子に前記入力信号を入力し、クロック入力端子に前記電圧制御発振器の正相出力クロック信号を入力し、

前記正相クロック遅れ位相検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、

前記第2のリタイミング手段は第2のフリップフロップ回路により構成され、該第2のフリップフロップ回路のデータ入力端子に第1のフリップフロップ回路の正論理出力信号を入力し、クロック入力端子に前記電圧制御発振器の逆相出力クロック信号を入力し、

前記逆相クロック位相差検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたことを特徴とする請求項1に記載のデータリタイミング用位相比較器。

【請求項3】 前記第1のリタイミング手段は第1のフリップフロップ回路により構成され、該第1のフリップフロップ回路のデータ入力端子に前記入力信号を入力し、クロック入力端子に前記電圧制御発振器の正相出力クロック信号を入力し、

前記正相クロック遅れ位相検出手段はナンドゲートによ

り構成され、該ナンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、

前記第2のリタイミング手段は第2のフリップフロップ回路により構成され、該第2のフリップフロップ回路のデータ入力端子に第1のフリップフロップ回路の正論理出力信号を入力し、クロック入力端子に前記電圧制御発振器の逆相出力クロック信号を入力し、

前記逆相クロック位相差検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたことを特徴とする請求項1に記載のデータリタイミング用位相比較器。

【請求項4】 前記第1のリタイミング手段は第1のフリップフロップ回路により構成され、該第1のフリップフロップ回路のデータ入力端子に前記入力信号を入力し、クロック入力端子に前記電圧制御発振器の正相出力クロック信号を入力し、

前記正相クロック遅れ位相検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、

前記第2のリタイミング手段は第2のフリップフロップ回路により構成され、該第2のフリップフロップ回路のデータ入力端子に第1のフリップフロップ回路の正論理出力信号を入力し、クロック入力端子に前記電圧制御発振器の逆相出力クロック信号を入力し、

前記逆相クロック位相差検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたことを特徴とする請求項1に記載のデータリタイミング用位相比較器。

【請求項5】 前記第1のリタイミング手段は第1のフリップフロップ回路により構成され、該第1のフリップフロップ回路のデータ入力端子に前記入力信号を入力し、クロック入力端子に前記電圧制御発振器の正相出力クロック信号を入力し、

前記正相クロック遅れ位相検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、

前記第2のリタイミング手段は第2のフリップフロップ回路により構成され、該第2のフリップフロップ回路のデータ入力端子に第1のフリップフロップ回路の正論理出力信号を入力し、クロック入力端子に前記電圧制御発振器の逆相出力クロック信号を入力し、

前記逆相クロック位相差検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記第1のフ

10

20

30

40

50

リップフロップ回路の正論理出力信号及び前記第2のリップフロップ回路の負論理出力信号を入力する構成としたことを特徴とする請求項1に記載のデータリタイミング用位相比較器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータリタイミング用位相比較器に関し、特に、入力信号の1ビット長の1/2のタイミング位置（即ち、入力信号の中心位置）に立ち上がりエッジを有するタイミング信号を生成するためのPLL（Phase Lock Loop）型データリタイミング用位相比較器に関する。

【0002】

【従来の技術】図6に従来のPLL型データリタイミング用位相比較器の構成を示す。PLL型データリタイミング回路による入力信号のリタイミングは、入力信号を1ビット毎にフリップフロップ（FF）6-6に格納し、入力信号の1ビット長の1/2のタイミング位置（入力信号の中心位置）に立ち上がりエッジを有するタイミング信号（PLL型発振器の出力クロック信号）で、該フリップフロップ（FF）6-6から入力信号を読み出すことにより行われる。

【0003】上記を入力信号の1ビット長の1/2のタイミング位置に立ち上がりエッジを有するタイミング信号を抽出するために、該タイミング信号をVCO（Voltage Controlled Oscillator：電圧制御発振器）6-5により生成し、該電圧制御発振器（VCO）6-5の出力クロック信号と入力信号の位相を以下のように比較して電圧制御発振器（VCO）6-5の位相制御を行っていた。

【0004】90度位相遅延生成部6-2により、入力信号の位相から90度遅れた遅延信号（入力信号の1ビット長の1/2のタイミング分遅れた遅延信号）を生成する。また、VCO同期信号生成部6-11により、入力信号を電圧制御発振器（VCO）6-5の出力クロック信号でリタイミングし、該出力クロック信号に同期した入力信号を生成する。

【0005】そして、位相比較部6-12でこれら90度位相遅延信号とVCO出力クロック信号に同期した入力信号の位相を比較し、その位相差に応じた信号によりチャージポンプ6-3の充放電を行い、チャージポンプ6-3の出力信号をループフィルタ6-4で平滑し、該ループフィルタ6-4の出力電圧を電圧制御発振器（VCO）6-5の位相制御電圧として加える。このような構成により、電圧制御発振器（VCO）6-5の出力クロック信号の位相を、入力信号の位相から90度遅れた位相に一致させることができる。

【0006】図7に従来のPLL型データリタイミング回路のタイミングチャートを示す。同図の（a）～（d）は電圧制御発振器（VCO）の位相が不一致状態

のときの各信号の波形を示し、同図の（e）～（i）は電圧制御発振器（VCO）の位相が一致した状態のときの各信号の波形を示している。

【0007】図7において（a）、（e）は入力信号、（b）、（f）は入力信号の位相を90度遅延させた信号、（c）、（g）は電圧制御発振器（VCO）の出力クロック信号に同期した入力信号、（d）、（h）は電圧制御発振器（VCO）の出力クロック信号、（i）はフリップフロップ（FF）から出力されるリタイミングデータである。

【0008】同図の（d）に示す電圧制御発振器（VCO）の出力クロック信号は、同図（b）の入力信号の90度遅延信号と位相が一致せず、同図（a）の入力信号のリタイミングを適切に行うことができない。しかし、同図の（c）の電圧制御発振器（VCO）出力クロック信号に同期した信号と、同図（b）の入力信号の90度遅延信号との位相差に応じた制御電圧を、電圧制御発振器（VCO）に加えることにより位相差がゼロとなり、同図（h）のように電圧制御発振器（VCO）の出力クロック信号は、同図（f）の入力信号の90度遅延信号と位相が一致するようになり、同図（h）の電圧制御発振器（VCO）の出力クロック信号により、同図（a）の入力信号の中心位置でリタイミングが行われ、同図（i）に示す適正なリタイミングデータを抽出することができる。

【0009】ここで、従来のPLL型データリタイミング回路における位相比較は、入力信号の位相を90度遅延させた信号を生成する90度位相遅延生成部6-2を必要とし、該90度位相遅延生成部6-2の回路構成としては、ゲート回路による遅延回路や抵抗及びコンデンサにより構成される積分回路等を用いていた。

【0010】

【発明が解決しようとする課題】90度位相遅延生成部6-2は、上記何れの回路構成の場合でも、高速の入力信号に対する遅延生成回路としては比較的容易に構成することができるが、入力信号が低速になるにつれて、生成する遅延量が増大するため、多数の回路素子が必要となるため回路規模が増大し、特にコンデンサを多く使用する必要があることからLSI化の妨げになっていた。

【0011】また、多数の個別部品素子を使用すると、各素子の特性バラツキの総和も大きくなるため、精度の高い遅延回路を構成することが困難となり、入力信号をリタイミングするためのクロック信号を、入力信号に対して最適な位相関係に設定するには、複雑で面倒な回路設計を行わなければならなかった。

【0012】本発明は、入力信号をリタイミングするクロック信号の位相比較回路に遅延回路を用いることなく、従って、コンデンサを使用することなく、デジタル汎用回路素子を用いて構成することを可能にし、回路規模の小型化、LSI化を容易にするとともに、低速及

び高速の何れの入力信号に対しても、PLL型データリタイミング回路の位相比較器として、最適な位相関係のリタイミング用クロック信号の生成を可能にするデータリタイミング用位相比較器を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明のデータリタイミング用位相比較器は、(1)入力信号を電圧制御発振器の正相出力クロック信号でリタイミングし、該正相出力クロック信号に同期した入力信号を生成出力する第1のリタイミング手段と、前記第1のリタイミング手段の出力信号と前記入力信号とを入力し、該第1のリタイミング手段の出力信号の、入力信号の先端からの遅れ位相を検出する正相クロック遅れ位相検出手段と、前記第1のリタイミング手段の出力信号を、電圧制御発振器の逆相出力クロック信号でリタイミングし、該逆相出力クロック信号に同期した入力信号を生成出力する第2のリタイミング手段と、前記第1のリタイミング手段の出力信号と前記第2のリタイミング手段の出力信号とを入力し、該第2のリタイミング手段の出力信号の、第1のリタイミング手段の出力信号の先端からの遅れ位相を検出する逆相クロック位相差検出手段とを備え、前記同期信号遅れ位相差検出手段により検出した遅れ位相量に応じた信号を、電圧制御発振器の位相を早める制御信号として出力し、且つ、前記逆相クロック信号位相差検出手段により検出した位相差に応じた信号を、電圧制御発振器の位相を遅らせる制御信号として出力するものである。

【0014】また、(2)前記第1のリタイミング手段は第1のフリップフロップ回路により構成され、該第1のフリップフロップ回路のデータ入力端子に前記入力信号を入力し、クロック入力端子に前記電圧制御発振器の正相出力クロック信号を入力し、前記正相クロック遅れ位相検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、前記第2のリタイミング手段は第2のフリップフロップ回路により構成され、該第2のフリップフロップ回路のデータ入力端子に第1のフリップフロップ回路の正論理出力信号を入力し、クロック入力端子に前記電圧制御発振器の逆相出力クロック信号を入力し、前記逆相クロック位相差検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたものである。

【0015】また、(3)前記正相クロック遅れ位相検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、前記逆相クロック位相差検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記第1のフリップフロップ

回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたものである。

【0016】また、(4)前記正相クロック遅れ位相検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、前記逆相クロック位相差検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたものである。

【0017】また、(5)前記正相クロック遅れ位相検出手段はアンドゲートにより構成され、該アンドゲートの入力端子に、前記入力信号及び前記第1のフリップフロップ回路の負論理出力信号を入力し、前記逆相クロック位相差検出手段はナンドゲートにより構成され、該ナンドゲートの入力端子に、前記第1のフリップフロップ回路の正論理出力信号及び前記第2のフリップフロップ回路の負論理出力信号を入力する構成としたものである。

【0018】

【発明の実施の形態】図1に本発明のデータリタイミング用位相比較器の原理を示す。同図において、位相比較器1-1は、入力信号の位相と電圧制御発振器(VCO)6-5の出力クロック信号の位相とを比較し、該クロック信号の位相が入力信号の位相から1ビット長の1/2のタイミング分遅れた信号となるように、電圧制御発振器(VCO)の位相を制御する制御信号を出力する回路である。

【0019】位相比較器1-1から出力される制御信号によってチャージポンプ6-3が駆動され、チャージポンプ6-3の出力電圧をループフィルタ6-4で平滑した電圧を電圧制御発振器(VCO)6-5の制御電圧として加える。

【0020】電圧制御発振器(VCO)6-5から出力される、入力信号の位相から1ビット長の1/2のタイミング分遅れたクロック信号により、フリップフロップ(FF)6-6に格納された入力信号を読み出すことにより、入力信号のリタイミングを行う。

【0021】位相比較器1-1は、第1のリタイミング手段1-11と、正相クロック遅れ位相検出手段1-12と、第2のリタイミング手段1-13と、逆相クロック位相差検出手段1-14とから構成される。

【0022】第1のリタイミング手段1-11は、入力信号及び電圧制御発振器(VCO)6-5の正相出力クロック信号を入力し、該正相出力クロック信号の先端(例えば立ち上がりエッジ)で入力信号をリタイミングし、正相出力クロック信号に同期した入力信号を出力する。

【0023】正相クロック遅れ位相検出手段1-12は、第1のリタイミング手段1-11の出力信号と入力信号とを入力し、入力信号の先端（例えば立ち上がりエッジ）から、第1のリタイミング手段1-11の出力信号（即ち、正相出力クロック信号に同期した入力信号）の先端までの、遅れ位相を検出し、該遅れ位相量に応じたパルス幅の信号を出力する。

【0024】第2のリタイミング手段1-13は、電圧制御発振器（VCO）6-5の正相出力クロック信号を反転手段1-2で反転させた逆相出力クロック信号、及び第1のリタイミング手段1-11の出力信号を入力し、該逆相出力クロック信号の先端（例えば立ち上がりエッジ）で、第1のリタイミング手段1-11の出力信号をリタイミングし、逆相出力クロック信号に同期した入力信号を出力する。

【0025】逆相クロック位相差検出手段1-14は、第1のリタイミング手段1-11の出力信号、及び第2のリタイミング手段1-13の出力信号を入力し、第1のリタイミング手段1-11の出力信号（即ち、正相出力クロック信号に同期した入力信号）の先端から、第2のリタイミング手段1-13の出力信号（即ち、逆相出力クロック信号に同期した入力信号）の先端までの位相差（これは、正相クロックと逆相クロックの位相差に相当し、通常固定的な値となる。）を検出し、該位相差に応じたパルス幅の信号を出力する。

【0026】そして、前述の正相クロック遅れ位相検出手段1-12から出力される、正相クロック信号の入力信号からの遅れ位相量に応じたパルス幅信号を、電圧制御発振器の位相を早める制御信号として、チャージポンプ6-3の充電電流制御端子に加えることにより、入力信号の先端の位相に、電圧制御発振器（VCO）6-5の正相出力クロック信号先端の位相が一致する方向に電圧制御発振器（VCO）6-5の位相が制御される。

【0027】また、逆相クロック位相差検出手段1-14から出力される、正相クロック信号に同期した入力信号と逆相クロック信号に同期した入力信号との位相差に応じたパルス幅信号を、電圧制御発振器の位相を遅らせる制御信号として、チャージポンプ6-3の放電電流制御端子に加えることにより、電圧制御発振器（VCO）6-5の位相が、正相クロックと逆相クロックの位相差の分だけ遅れる方向に制御される。

【0028】チャージポンプ6-3は、正相クロック遅れ位相検出手段1-12からの出力信号、及び逆相クロック位相差検出手段1-14からの出力信号が入力され、該入力に応じた充放電を行うことにより、ループフィルタ6-4を介して、電圧制御発振器（VCO）6-5の正相出力クロック信号の位相を、入力信号先端部から、正相クロックと逆相クロックとの位相差分だけ遅れた位相となるように、電圧制御発振器（VCO）6-5を制御する。

【0029】ここで、電圧制御発振器（VCO）6-5は、入力信号の周波数に合致したクロック信号を出力し、該クロック信号のパルスデューティ比は50パーセントであることから、電圧制御発振器（VCO）6-5から出力される正相クロックと逆相クロックの位相差は、入力信号の1ビット長の1/2（即ち、入力信号の先端部から中心位置までの位相差）となる。

【0030】従って、正相クロック遅れ位相検出手段1-12及び逆相クロック位相差検出手段1-14の出力信号を、チャージポンプに接続することにより、入力信号からの遅れ位相分と、入力信号1ビット長の1/2の位相差とを組み合わせた位相制御が行われ、同期ロック時に、電圧制御発振器（VCO）6-5の正相出力クロック信号のエッジ位相が、入力信号の中心位置の位相となるように制御される。

【0031】つまり、入力信号のリタイミングを行う際に、リタイミング用の電圧制御発振器（VCO）6-5の正相出力クロック信号と入力信号との位相関係が、最適に維持され、また、該位相関係の生成に、コンデンサ等を含む遅延回路を用いることなく回路構成を行うことができる。

【0032】

【実施例】図2～図5は本発明の位相比較器の具体例を示し、何れもPLL型データリタイミング回路として使用されるが、入力信号を格納しリタイミングする回路構成については図示を省略している。図2は本発明の第1の実施例の回路構成及びそのタイミングチャートを示している。

【0033】図2において、入力信号は、D型フリップフロップFF1のD入力端子とアンドゲートAND1の入力端子に接続され、アンドゲートAND1の他方の入力端子にはフリップフロップFF1の負論理出力Q1*が接続される。フリップフロップFF1の正論理出力Q1は、D型フリップフロップFF2のD入力端子と、アンドゲートAND2の入力端子に接続され、アンドゲートAND2の他方の入力端子にはフリップフロップFF2負論理出力Q2*が接続される。

【0034】又、バッファ2-1は、電圧制御発振器VCOの出力クロック信号を入力し、正相クロックパルス信号及び逆相クロックパルス信号を生成出力し、正相クロックパルス信号はフリップフロップFF1のクロック入力端子（C端子）に接続され、逆相クロックパルス信号はフリップフロップFF2のクロック入力端子（C端子）に接続される。

【0035】図2のタイミングチャートに示すように、フリップフロップFF1の正論理出力Q1及び負論理出力Q1*は、VCO正相クロックパルスで入力信号をリタイミングした信号及びその反転信号をそれぞれ出力する。なお、フリップフロップFF1は、図1に示した第1のリタイミング手段1-11に対応する。

【0036】アンドゲートAND1は、入力信号パルスとVCO正相クロックパルスとの立ち上がりエッジ位相差に相当するパルス幅の信号を正論理で出力する。即ち、入力信号立ち上がりエッジ位相から、VCO正相クロックパルスの立ち上がりエッジ位相までの遅れ位相が正論理のパルス幅信号としてアンドゲートAND1から出力される。なお、アンドゲートAND1は、図1の正相クロック遅れ位相検出手段1-12に対応する。

【0037】ここで、入力信号パルスの中心位置を基準*

$$\text{AND1の出力パルス幅} = T_0 / 2 + T_1 \quad (0 < T_1 < T_0 / 2) \cdots (1)$$

VCO正相クロックの立ち上がりエッジ位相が基準点より※ ※り進んでいる場合、

$$\text{AND1の出力パルス幅} = T_0 / 2 - T_2 \quad (0 < T_2 < T_0 / 2) \cdots (2)$$

【0039】また、フリップフロップFF2の正論理出力Q2及び負論理出力Q2*は、VCO逆相クロックパルスの立ち上がりエッジで、フリップフロップFF1の正論理出力Q1を再リタイミングした信号及びその反転信号をそれぞれ出力する。なお、フリップフロップFF2は、図1に示した第2のリタイミング手段1-13に対応する。

【0040】アンドゲートAND2は、VCO正相クロックパルスによるリタイミング信号と、VCO逆相クロックパルスの立ち上がりエッジ位相差に相当するパルス幅の信号を正論理で出力する。なお、アンドゲートAND2は、図1の逆相クロック位相差検出手段1-14に★

$$\text{AND1とAND2の出力パルス幅の差分} = +T_1 \cdots (4)$$

VCO正相クロック立ち上がりエッジ位相が基準点より☆ ☆進んでいる場合、上記式(2)及び式(3)より、

$$\text{AND1とAND2の出力パルス幅の差分} = -T_2 \cdots (5)$$

となる。(図8)

【0043】ここで、上記式(4)及び式(5)における右辺の正(+)又は負(-)の符号は、VCO正相クロックの立ち上がりエッジ位相が、基準点に対して遅れているか或いは進んでいるかを表し、該遅れ分(+ T_1)又は進み分(- T_2)に対する位相補正用の制御電圧を電圧制御発振器VCOに加えることにより、VCO正相クロックの立ち上がりエッジ位相は、基準点即ち入力信号の1ビットパルス幅の中心点に位置することとなる。

【0044】従って、図2に示すようにアンドゲートAND1及びアンドゲートAND2の出力パルスを、正論理アクティブの3ステートバッファにて構成されるチャージポンプ2-1の充電端子及び放電端子にそれぞれ接続することにより、データリタイミング用位相比較器として使用可能になる。

【0045】図3は本発明の第2の実施例の回路構成及びそのタイミングチャートを示す。この実施例は前述の第1の実施例におけるアンドゲートAND1、AND2をナンドゲートNAND1、NAND2に置き換えたもので、この場合の動作はタイミングチャートに示す通り、ナンドゲートNAND1、NAND2の出力パルスは負論理で出力される。

*点とし、該基準点に対するVCO正相クロック信号の立ち上がりエッジの遅れ位相を T_1 、該基準点に対するVCO正相クロック信号の立ち上がりエッジの進み位相を T_2 、VCOクロック信号の周期(即ち入力信号のパルス幅)を T_0 とすると、アンドゲートAND1の出力パルス幅(AND1)は以下のようになる。

【0038】VCO正相クロックの立ち上がりエッジ位相が基準点より遅れている場合、

★対応する。

【0041】ここで、VCO正相クロックパルスとVCO逆相クロックパルスの位相差は、VCOクロック周期 T_0 の1/2で固定した値であるので、アンドゲートAND2の出力パルス幅は以下のようになる。

$$\text{AND2の出力パルス幅} = T_0 / 2 \cdots (3)$$

【0042】アンドゲートAND1の出力パルスと、アンドゲートAND2の出力パルスとの、パルス幅の差分を採ると、VCO正相クロックの立ち上がりエッジ位相が基準点より遅れている場合、上記式(1)及び式(3)より、

◆【0046】従って、ナンドゲートNAND1、NAND2の出力パルスを、それぞれ負論理アクティブの3ステートバッファにて構成されるチャージポンプ3-1の充電端子及び放電端子に接続することにより、データリタイミング用位相比較器として使用可能になる。

【0047】図4は本発明の第3の実施例の回路構成及びそのタイミングチャートを示す。この実施例は前述の第1の実施例におけるアンドゲートAND1をナンドゲートNAND3に、アンドゲートAND2をアンドゲートAND3にしたものである。この場合の動作はタイミングチャートに示す通り、ナンドゲートNAND3の出力パルスは負論理で、又、アンドゲートAND3の出力パルスは正論理で出力される。

【0048】従って、ナンドゲートNAND3及びアンドゲートAND3の出力パルスを、それぞれ図4に示すようなトランジスタで構成される電流源型チャージポンプ4-1の充電端子及び放電端子に接続することにより、データリタイミング用位相比較器として使用可能になる。

【0049】図5は本発明の第3の実施例の回路構成及びそのタイミングチャートを示す。この実施例は前述の第1の実施例におけるアンドゲートAND1をアンドゲートAND4に、アンドゲートAND2をナンドゲート

NAND4にしたものである。この場合の動作はタイミングチャートに示す通り、アンドゲートAND4の出力パルスは正論理で、又、ナンドゲートNAND4の出力パルスは正論理で出力される。

【0050】従って、アンドゲートAND4及びナンドゲートNAND4の出力パルスを、それぞれ図5に示すような正論理及び負論理のアクティブの3ステートバッファにて構成されるチャージポンプ5-1の充電端子及び放電端子に接続することにより、データリタイミング用位相比較器として使用可能になる。

【0051】

【発明の効果】以上説明したように、本発明によれば、PLL型データリタイミング用位相比較器において、電圧制御発振器(VCO)の正相及び逆相の出力クロック信号を用いて、該出力クロック信号と入力信号との位相関係を最適に維持する構成としたことにより、デジタル汎用素子のみを使用し、コンデンサを使用することなく構成することができ、その結果、回路規模の小型化が図れると共に、LSI化が容易となり、且つ、素子特性のバラツキによる不安定性が除去され、精度の高い安定したデータリタイミング用位相比較器を構成することができる。

【図面の簡単な説明】

【図1】本発明のデータリタイミング用位相比較器の原

理を示す図である。

【図2】本発明の第1の実施例の回路構成及びそのタイミングチャートを示す図である。

【図3】本発明の第2の実施例の回路構成及びそのタイミングチャートを示す図である。

【図4】本発明の第3の実施例の回路構成及びそのタイミングチャートを示す図である。

【図5】本発明の第4の実施例の回路構成及びそのタイミングチャートを示す図である。

10 【図6】従来のPLL型データリタイミング用位相比較器の構成を示す図である。

【図7】従来のPLL型データリタイミング回路のタイミングチャートである。

【符号の説明】

1-1 位相比較器

1-11 第1のリタイミング手段

1-12 正相クロック遅れ位相検出手段

1-13 第2のリタイミング手段

1-14 逆相クロック位相差検出手段

20 1-2 反転手段

6-3 チャージポンプ

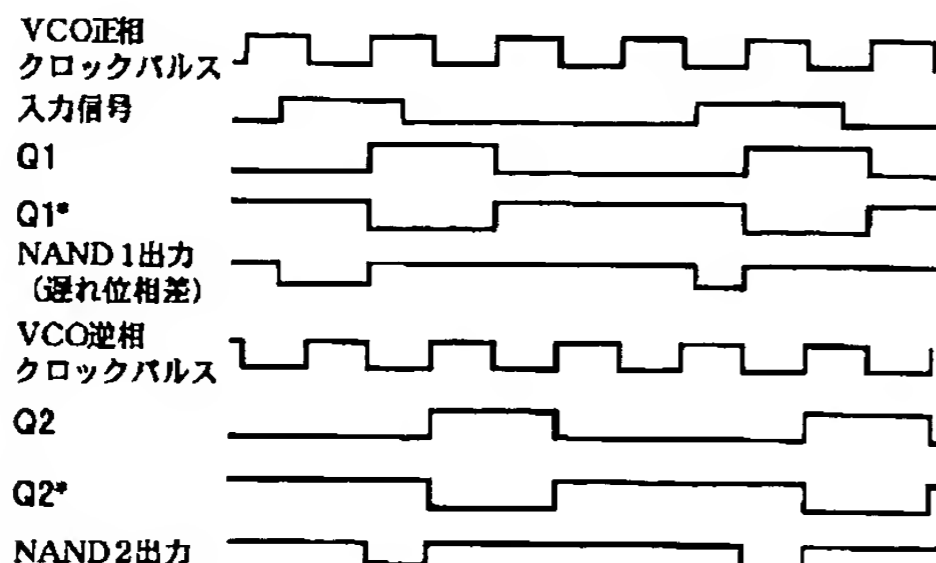
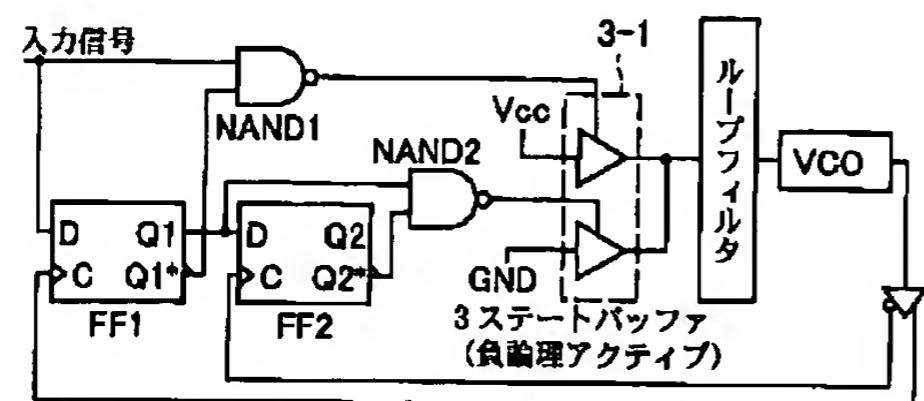
6-4 ループフィルタ

6-5 電圧制御発振器(VCO)

6-6 フリップフロップ回路(FF)

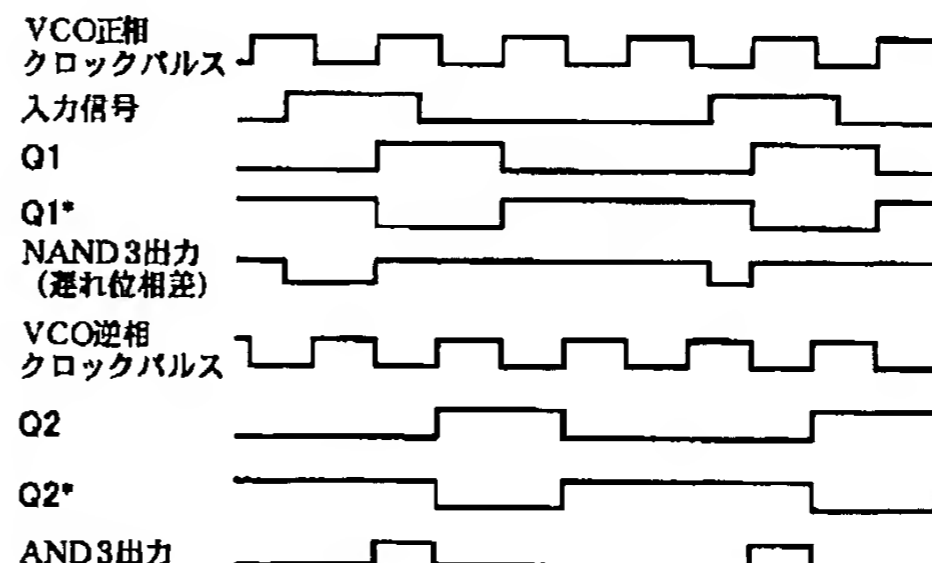
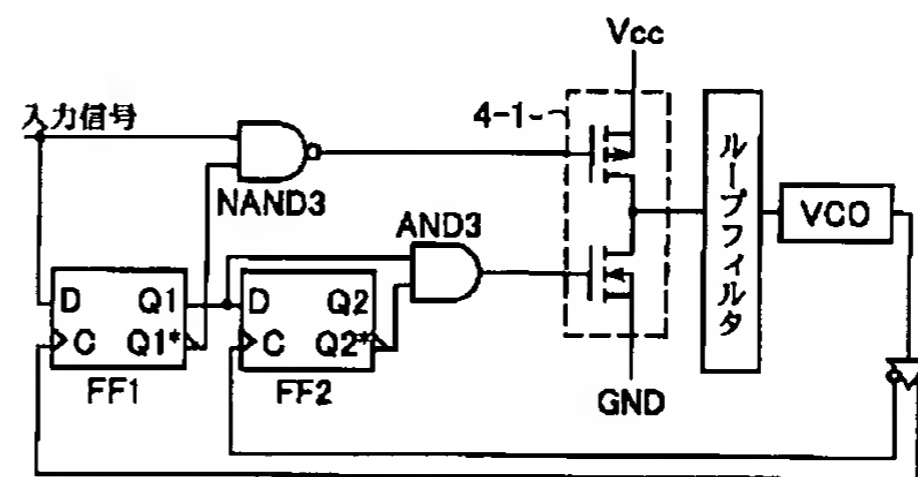
【図3】

本発明の第2の実施例の回路構成及びそのタイミングチャート



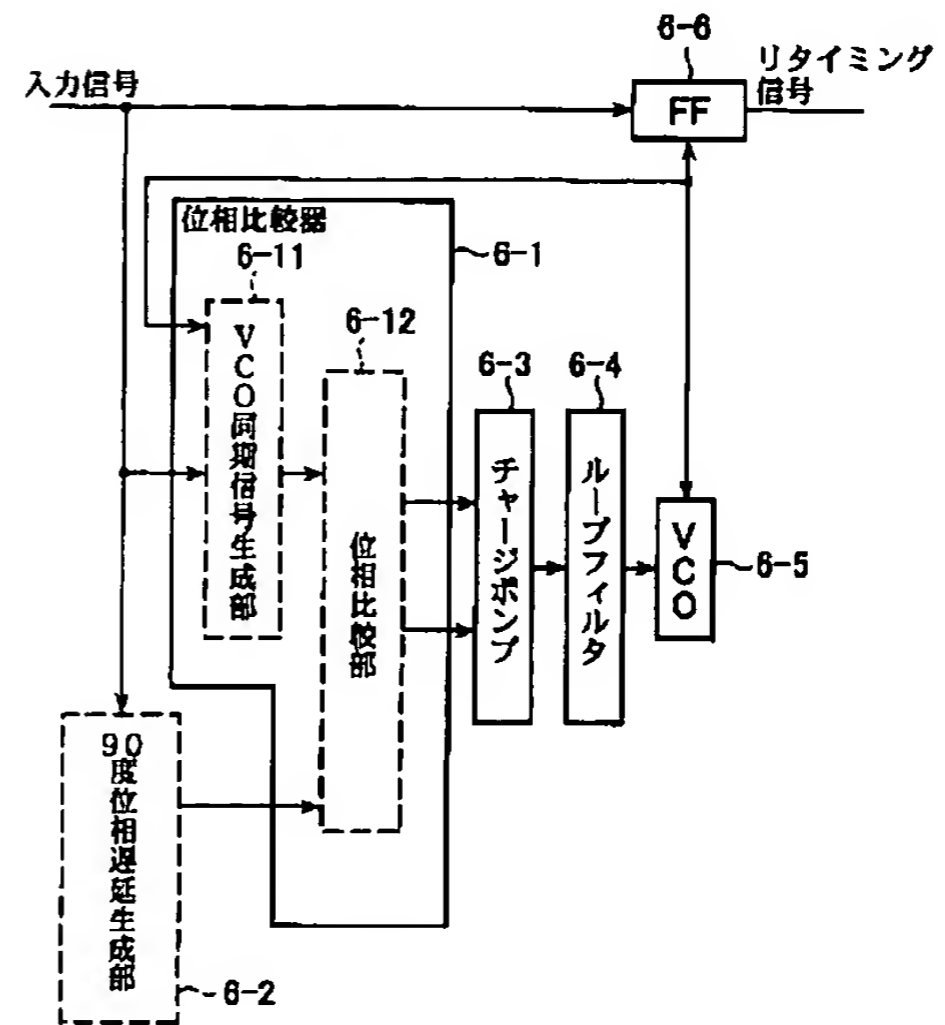
【図4】

本発明の第3の実施例の回路構成及びそのタイミングチャート



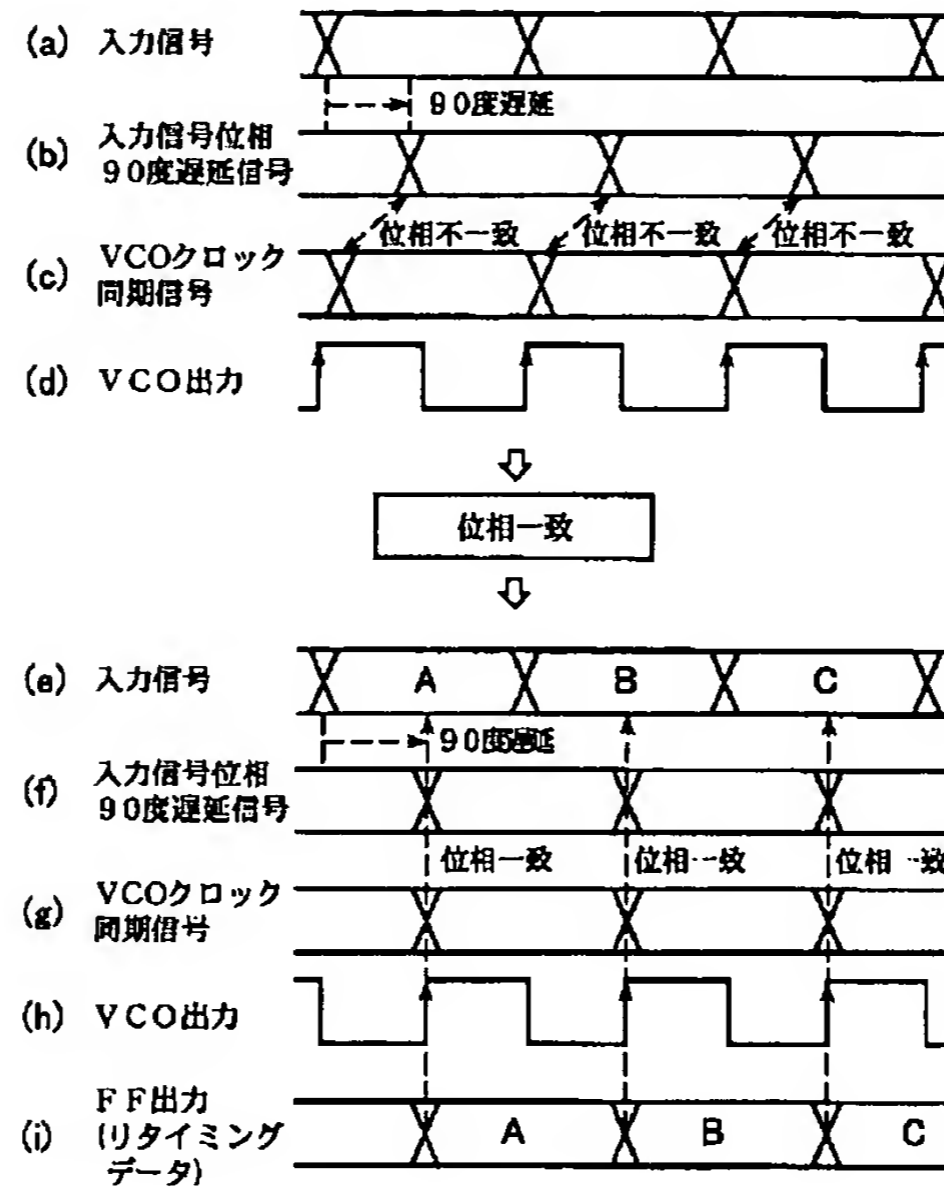
【図6】

従来のPLL型データリタイミング用位相比較器の構成



【図7】

従来のPLL型データリタイミング回路のタイミングチャート



フロントページの続き

F ターム(参考) 5J039 JJ07 JJ13 JJ20 KK09 KK10
KK20 KK33 MM16
5J106 AA04 CC01 CC24 CC41 DD32
DD42 DD43 DD48 JJ02 KK05
KK36 KK37 KK38 KK39 LL02
5K047 AA05 GG24 MM33 MM46 MM50
MM63